

Corr

US 6,035,115

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240788

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl. ⁶	識別記号	F I	
G 0 6 F 17/50		G 0 6 F 15/60	6 6 2 G
17/00		H 0 1 L 29/00	
H 0 1 L 29/00		G 0 6 F 15/20	D

審査請求 有 請求項の数 2 O L (全 6 頁)

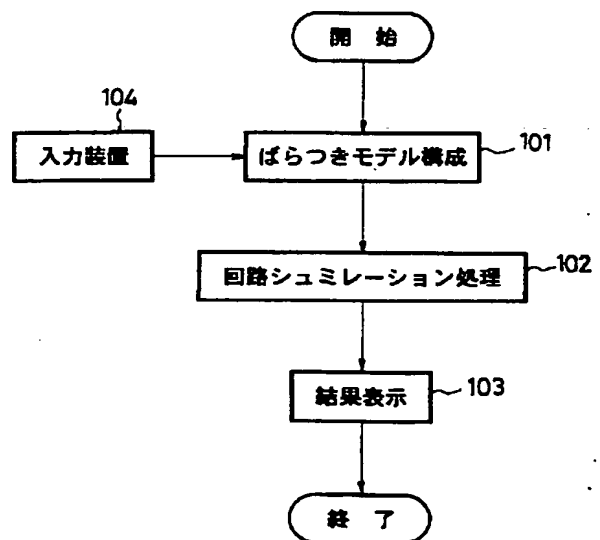
(21) 出願番号	特願平9-42173	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成9年(1997) 2月26日	(72) 発明者	鈴木 恭 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 若林 忠

(54) 【発明の名称】 半導体集積回路のシミュレーション方法

(57) 【要約】

【課題】 規定された絶対ばらつき範囲および相対ばらつき範囲を考慮したワーストケース・シミュレーションを行う、半導体集積回路のシミュレーション方法を提供する。

【解決手段】 入力装置104には、回路シミュレーションで用いる回路接続情報、解析条件に加えて、整合のある素子同士を同一番号で示す相対指定と、抵抗素子の絶対ばらつき範囲と相対ばらつき範囲からなるばらつき範囲が格納されている。ばらつきモデル構成101では、規定された絶対ばらつき範囲および相対ばらつき範囲から素子パラメータの取り得る最大値および最小値を求めてばらつきモデルとする。回路シミュレーション処理102ではばらつきモデルを用いて相対ばらつきを考慮したワーストケース・シミュレーションを行う。結果表示103でシミュレーション結果を表示する。



【特許請求の範囲】

【請求項1】 規定された絶対ばらつき範囲および相対ばらつき範囲から素子パラメータの取り得る最大値および最小値、すなわち相対ばらつきを考慮したワーストケースの素子パラメータを求めてばらつきモデルとするばらつきモデル構成段階と、

前記ばらつきモデルを用いて相対ばらつきを考慮したワーストケース・シミュレーションを行う回路シミュレーション段階を有する、半導体集積回路のシミュレーション方法。

【請求項2】 前記ばらつきモデル構成段階は、素子値を絶対ばらつき範囲の最大、最小で換算した絶対ばらつきの最大値、最小値を全ての素子について求める段階と、整合のある素子同士であることを示す相対指定がある素子に対応する絶対ばらつき最大値に対して前記相対ばらつき範囲で換算した相対ばらつき最大値および絶対ばらつき最小値に対して前記相対ばらつき範囲で換算した相対ばらつき最小値を求める段階を含み、

前記回路シミュレーション段階は、各素子の素子値を前記絶対ばらつき最大値、前記絶対ばらつき最小値、相対指定がある素子についてはさらに前記相対ばらつき最大値、前記相対ばらつき最小値に置き換えて回路シミュレーションを行う、請求項1記載の半導体集積回路のシミュレーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、製造ばらつきを考慮した半導体集積回路のシミュレーション方法に関する。

【0002】

【従来の技術】半導体集積回路の最適化設計や統計解析では、回路特性の計算に莫大なシミュレーション時間をかけて解析を行うため、計算時間をいかに減らすかが設計品質、製造歩留まりの向上に直接関わる課題の一つである。

【0003】ここで、特開平6-348683を従来例

$$\bar{f} - 3\sigma / \sqrt{N} \leq F \leq \bar{f} + 3\sigma / \sqrt{N} \quad \text{..... (1)}$$

ここで、Fは特性 (f) の母集団平均

\bar{f} はシミュレーションの平均

3σ はパラメータのばらつき範囲

Nはシミュレーション回数

このとき、シミュレーションで得られた平均fの誤差が母集団平均Fの $\pm 10\%$ 以内となる際に必要となるシミュレーション回数Nは、 $3\sigma = 1$ として100回程度となる。

【0009】また、半導体集積回路の製造ばらつきにより半導体集積回路上の素子には素子パラメータのばらつき範囲が与えられているわけであるが、前記ばらつき範囲には、素子パラメータのばらつきが最大値となる最大

として説明する。

【0004】従来例では素子パラメータのばらつき範囲が与えられている場合の一般的な方法としてワーストケース解析法が挙げられている。ワーストケース解析では、頂点法やモーメント法がよく用いられており、頂点法では統計パラメータの分布を全て一様分布と見なしてパラメータ変動領域の頂点のうち一つをワーストケースとする方法で計算量が少ないが、パラメータの相関関係が考慮できず結果が過大/過小評価になりやすい欠点があり、モーメント法ではパラメータの相関関係は考慮できるものの回路特性の線形性が保証されなければならない制約があり、利用に際して注意を必要としている。

【0005】これに対して従来例では、図3に示すように、増幅利得、高調波歪率などの考察項目、およびトランジスタのエミッタ接地電流増幅率 h_{fe} 、半導体抵抗などのばらつき範囲が与えられているパラメータを入力装置304より入力し、確率内挿モデル構成301により、前記ばらつき範囲が与えられているパラメータから近似精度が最大となるサンプリングデータを求めて内挿モデルを構成する。次に、統計解析302により前記内挿モデルを用いてモンテカルロ法によるワーストケースを求めて、結果表示303により表示する。

【0006】上述した従来例では、近似精度が最大となるサンプリングデータを求めることにより、計算量の少ない内挿モデルを構成することができ、その結果、少ないシミュレーション回数で解析精度を保つことができるとしている。

【0007】

【発明が解決しようとする課題】上述した従来例では、計算量が少ない内挿モデルを構成してはいるが、最終的に統計解析ではモンテカルロ法を用いているため、一般的なモンテカルロ法よりも計算数は少ないにしても、近似精度を十分向上させるには多量のシミュレーション回数が必要になるという欠点がある。

【0008】

【数1】

ばらつきと最小値となる最小ばらつきを規定した絶対ばらつき範囲と、半導体集積回路上で近接して配置され、かつ、同一構造および同一形状となる複数の素子を互いに整合のある素子とみなし、前記整合のある素子同士で規定される相対ばらつき範囲とがある。相対ばらつき範囲とは、前記整合のある素子同士の素子パラメータは製造ばらつきの影響を同程度に受けるため、絶対ばらつき範囲の中で前記整合のある素子同士の素子パラメータは

同程度の値を持つことから、前記整合のある素子同士の素子パラメータの値の差異をばらつき範囲として規定するものである。ここで、一般的に相対ばらつき範囲は絶対ばらつき範囲よりも狭い範囲を持つ。

【0010】従来例では内挿モデルを構成するための計算が、シミュレーション以外に必要なという欠点があり、上述した相対ばらつき範囲を考慮した場合、内挿モデルを構成する計算がさらに困難になる欠点がある。

【0011】本発明の目的は、モンテカルロ法を利用した従来のワーストケース・シミュレーションに比べ少ないシミュレーション回数で相対ばらつきを考慮した回路シミュレーション結果が得られる、半導体集積回路のシミュレーション方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体集積回路のシミュレーション方法は、規定された絶対ばらつき範囲および相対ばらつき範囲から素子パラメータの取り得る最大値および最小値、すなわち相対ばらつきを考慮したワーストケースの素子パラメータを求めてばらつきモデルとするばらつきモデル構成段階と、前記ばらつきモデルを用いて相対ばらつきを考慮したワーストケース・シミュレーションを行う回路シミュレーション段階を有する。

【0013】パラメータ要素数を n 、整合のある素子の組の数を m としたときのシミュレーション回数 N_p は次式で表わされる。

$$【0014】N_p = 2^n \times (1 + 2^m) + 1$$

上式の最後の“1”は公称値の分である。 $n=1$ 、 $m=1$ のとき $N_p=7$ (回)となり、従来例の(モンテカルロ法)の場合の $N=100$ (回)より少ないことがわかる。

【0015】したがって、従来のモンテカルロ法を利用したワーストケース・シミュレーションに比べ少ないシミュレーション回数で相対ばらつきを考慮した回路シミュレーション結果が得られる。

【0016】本発明の実施態様によれば、ばらつきモデ

ル構成段階は、素子値を絶対ばらつき範囲の最大、最小で換算した絶対ばらつきの最大値、最小値を全ての素子について求める段階と、整合のある素子同士であることを示す相対指定がある素子に対応する絶対ばらつき最大値に対して相対ばらつき範囲で換算した相対ばらつき最大値および絶対ばらつき最小値に対して相対ばらつき範囲で換算した相対ばらつき最小値を求める段階を含み、回路シミュレーション段階は、各素子の素子値を前記絶対ばらつき最大値、絶対ばらつき最小値、相対指定がある素子についてはさらに相対ばらつき最大値、前記相対ばらつき最小値に置き換えて回路シミュレーションを行う。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の一実施形態の、半導体集積回路のシミュレーション方法の処理を表す流れ図である。

【0018】入力装置104には、回路シミュレーションで用いる回路接続情報、解析条件に加えて、整合のある素子同士を同一番号で示す相対指定と、抵抗素子の絶対ばらつき範囲と相対ばらつき範囲からなるばらつき範囲のデータが格納されている。

【0019】表1は入力装置104の内部メモリ上に格納されている回路接続情報の例で、素子番号の列においてQで始まる素子はトランジスタ、Rで始まるのは抵抗素子、Vで始まるのは電源素子、端子接続番号のコレクタ、ベース、エミッタは素子の端子の接続番号、種類の列においてNはトランジスタの種類、LおよびHは抵抗素子の種類、DCおよびACは電源素子の種類、相対指定においては同一番号の素子同士は整合のある素子であることをそれぞれ表しており、空欄部には該当情報がないことを表している。この例でのデータ数は8(行)となっている。

【0020】

【表1】

データ行	素子番号	端子接続番号			素子値	種類	相対指定
		コレクタ (+側端子)	ベース (-側端子)	エミッタ			
1	Q1	1	2	3		N	
2	R1	3	0		200	L	
3	R2	4	3		100	L	
4	R3	4	2		3000	H	1
5	R4	2	0		1000	H	1
6	R5	1	0		50	L	
7	V1	4	0		10	DC	
8	V2	2	0		1	AC	

表2は入力装置104の内部メモリ上に格納されているばらつき範囲の例で、種類の列においてLおよびHが抵抗素子の種類、第2列、第3列は素子値に対する比率(%)で絶対ばらつき範囲の最大値側および最小値側、第4列、第5列は素子値に対する比率(%)で相対ばら

つき範囲の最大値側および最小値側をそれぞれ表している。この例でのデータ数は2(行)となっている。

【0021】

【表2】

データ行	種類	絶対ばらつき範囲		相対ばらつき範囲	
		最大 (%)	最小 (%)	最大 (%)	最小 (%)
1	L	20	-20	5	-5
2	H	15	-15	3	-3

ばらつきモデル構成101は、入力装置104に格納されているデータからワーストケースとなる素子値の組み合わせを求める際に、絶対ばらつき範囲のみでなく相対ばらつき範囲も考慮して求められた前記素子値の組み合わせをばらつきモデルとする。

【0022】図2はばらつきモデル構成101の処理を説明する流れ図で、表3は内部メモリ上のばらつきモデルを説明する表である。

【0023】

【表3】

データ行	素子番号	絶対ばらつき		相対ばらつき				
		最大値	最小値	最大値1	最小値1	最大値2	最小値2	...
1	R 1	240	160	240	160	240	160	...
2	R 2	120	80	120	80	120	80	...
3	R 3	3450	2550	3360	2640	3450	2550	...
4	R 4	1150	850	1150	850	1120	880	...
5	R 5	60	40	60	40	60	40	...

まず、前記ばらつき範囲（表2）の抵抗素子の種類に該当する回路接続情報（表1）の素子値を絶対ばらつき範囲の最大で換算した絶対ばらつき最大値を求め、内部メモリに格納し（ステップ201）、ステップ201と同様に絶対ばらつき最小値を求めて内部メモリに格納することを（ステップ202）、前記ばらつき範囲（表2）の抵抗素子の種類に該当する回路接続情報（表1）の素子値の全てに対して実行する（ステップ203）。

【0024】次に、前記回路接続情報（表1）に相対指定があるかどうかを判定し（ステップ204）は、ある場合相対指定に該当する素子のうちの1個（R3）に対応する前記絶対ばらつき最大値（表3）に対して前記相対ばらつき範囲で換算した相対ばらつき最大値を求める（ステップ205）。ここで、素子値は絶対ばらつき範囲を超えることがないことから、絶対ばらつき最大値（表3）から相対ばらつき範囲の最小値の分を差し引いた値をばらつきモデルの相対ばらつき最大値（表3、最大値1）として内部メモリに格納する。次に、ステップ205と同様に絶対ばらつき最小値（表3）に相対ばらつき範囲の最大値の分を加えた値を相対ばらつき最小値（表3、最小値1）として内部メモリに格納する。（ステップ206）さらに、前記相対指定に該当する次の素子（R3の次の素子はR4）に対してステップ205とステップ206の処理を行い、ばらつきモデルの相対ばらつき最大値（表3、最大値2）および相対ばらつき最小値（表3、最小値2）を求め、内部メモリに格納し、前記相対指定に該当する素子がなくなるまでステップ205と206の処理を繰り返す（ステップ207）。

【0025】なお、相対指定がある素子の相対ばらつきの方向（正または負）が全て同じ場合はあり得ないので、例えば素子R4に対する最大値1は $1180 (= 1150 + 1000 \times 0.03)$ 、最小値1は $820 (= 850 - 1000 \times 0.03)$ と計算されるが、これら

は絶対ばらつきの最大値よりも大きい、絶対ばらつきの最小値よりも小さいので、素子R4の最大値1、最小値1はそれぞれ絶対ばらつきの最大値、最小値と同じになる。素子R3の最大値2、最小値2についても同様である。本例では、相対指定に該当する素子はR3とR4の2個のみであるので、ばらつきモデル（表3）の最大値3、最小値3以降のデータは無い。

【0026】次に、回路シミュレーション処理102で、回路接続情報（表1）と解析条件とで回路シミュレーション処理を行うわけであるが、ここで、抵抗素子の素子値を上記したばらつきモデル（表3）の値に置き換えて、かつ、ばらつきモデルの個数回（本例では、第2列～第7列なので6回）の回路シミュレーションを行い、結果表示103により回路シミュレーション結果を表示する。

【0027】本実施形態では、相対指定がなされている素子の個数が2個（表1のデータ4のR3とデータ5のR4）で、組み合わせ1組（表1）の場合を説明したが、組み合わせが2組以上の場合は、上述したばらつきモデルの値（表3の第3列～第8列、素子の個数が3個以上の場合は、第9列以降も含む）に対して、ばらつきモデル構成101（図2）のステップ205～ステップ207の処理と同等の処理を行うことによって、本実施形態と同等の効果が得られる。

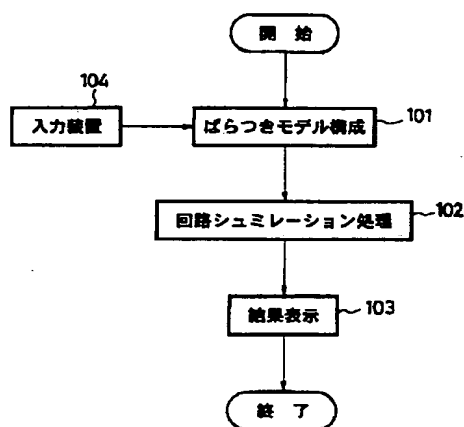
【0028】また、相対指定がなされている素子として、本実施形態の説明では、抵抗素子について述べたが、トランジスタ、ダイオードなどの能動素子のパラメータ、および容量素子、インダクターなどの受動素子の値/パラメータに対しても、本実施形態と同等の処理を行うことによって、本実施形態と同等の効果が得られる。

【0029】

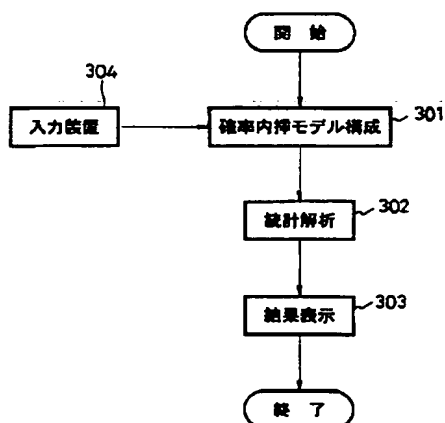
【発明の効果】以上説明したように本発明は、規定された絶対ばらつき範囲および相対ばらつき範囲から素子バ

ラメータの取り得る最大値および最小値（相対ばらつきを考慮したワーストケースの素子パラメータ）としたばらつきモデル構成を用いて相対ばらつきを考慮したワーストケース・シミュレーションを行うことにより、従来例のモンテカルロ法を利用したワーストケース・シミュレーションに比べ少ないシミュレーション回数で相対ばらつきを考慮した回路シミュレーション結果が得られるという効果があり、また、本発明のばらつきモデル構成は素子値をばらつき範囲で換算するだけなので、従来例での内挿モデルを構成するための計算量に対して、計算量が少なく、かつ、相対ばらつき範囲の考慮が容易であるという効果もある。

【図1】



【図3】



【図面の簡単な説明】

【図1】本発明の一実施形態の、半導体集積回路のシミュレーション方法の処理を表す流れ図である。

【図2】図1におけるばらつきモデル構成101の処理を説明する流れ図である。

【図3】従来例を示すブロック図である。

【符号の説明】

- 101 ばらつきモデル構成
- 102 回路シミュレーション処理
- 103 結果表示
- 104 入力装置
- 201～207 ステップ

【図2】

